

PAT-NO: JP409046189A

DOCUMENT-IDENTIFIER: JP 09046189 A

TITLE: CLOCK SUPPLY CIRCUIT

PUBN-DATE: February 14, 1997

INVENTOR-INFORMATION:

NAME

OOSERA, SHINICHI

SAEKI, YUKIHIRO

ASSIGNEE-INFORMATION:

NAME

TOSHIBA MICROELECTRON CORP

TOSHIBA CORP

COUNTRY

N/A

N/A

APPL-NO: JP07190456

APPL-DATE: July 26, 1995

INT-CL (IPC): H03K005/00, H03K021/08

ABSTRACT:

PROBLEM TO BE SOLVED: To improve considerably a clock skew between a signal via a through- path and a frequency divided signal via a frequency divided path from a same clock signal source in the clock supply circuit.

SOLUTION: The circuit is provided with a clock signal source 10, a frequency divided path 11a that subjects a clock signal received from the clock signal source 10 to frequency division by a frequency divider circuit 11 consisting of a binary counter using a D flip-flop circuit and giving the resulting signal to a controlled circuit 90 and a through-path 12a through which the clock signal received from the clock signal source 10 is passed to a dummy circuit 12 with a signal delay equal to a signal delay of the frequency divider circuit without subjecting the received clock signal to frequency division and providing the resulting signal to the controlled circuit 90.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-46189

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 5/00			H 0 3 K 5/00	X
// H 0 3 K 21/08			21/08	Z
			5/00	Z

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平7-190456

(22) 出願日 平成7年(1995)7月26日

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 大瀬良 真一

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(72) 発明者 佐伯 幸弘

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

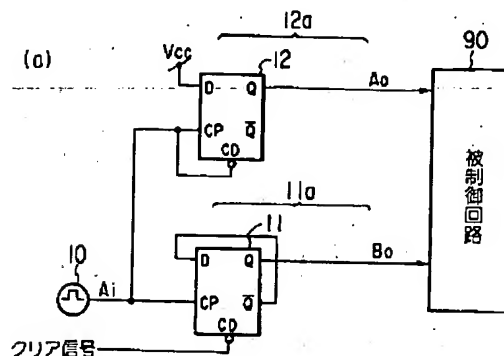
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 クロック供給回路

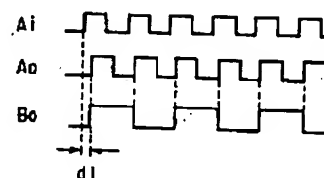
(57) 【要約】

【課題】クロック供給回路において、同一クロック信号源からスルーパスを経た信号と分周パスを経た分周信号との間のクロックスキューを大幅に改善する。

【解決手段】クロック信号源10と、上記クロック信号源から入力するクロック信号をD型フリップフロップ回路が用いられたバイナリカウンタからなる分周回路11により分周し、被制御回路90へ供給する分周パス11aと、クロック信号源から入力するクロック信号を分周することなく分周回路の信号遅延量と等しい信号遅延量を有するダミー回路12を通過させて被制御回路へ供給するスルーパス12aとを具備する。



(b)



1

【特許請求の範囲】

【請求項1】 クロック信号源と、

前記クロック信号源から入力するクロック信号をD型フリップフロップ回路が用いられたバイナリカウンタからなる分周回路により分周し、被制御回路へ供給する分周バスと、

前記クロック信号源から入力するクロック信号を前記分周回路の信号遅延量と等しい信号遅延量を有するダミー回路を通過させて前記被制御回路へ供給するスルーバスとを具備することを特徴とするクロック供給回路。

【請求項2】 クロック信号源から入力するクロック信号を分周するD型フリップフロップ回路が用いられたバイナリカウンタからなる分周回路と、

前記クロック信号源から入力するクロック信号を通過させ、前記分周回路の信号遅延量と等しい信号遅延量を有する第1のダミー回路と、

前記分周回路からの分周クロック信号および前記第1のダミー回路からのクロック信号をセレクト信号に応じて選択して被制御回路へ供給する選択回路と、

前記クロック信号源から入力するクロック信号を分周することなく通過させ、前記クロック信号源から選択回路出力側までの信号遅延量と等しい信号遅延量を有する第2のダミー回路とを具備することを特徴とするクロック供給回路。

【請求項3】 クロック信号源と、

前記クロック信号源から入力するクロック信号を分周するクリア信号端子付きのD型フリップフロップ回路が用いられた第1のバイナリカウンタと、

前記クロック信号源から入力するクロック信号を通過させるクリア信号端子付きのD型フリップフロップ回路が用いられた第1のスルー回路と、

前記第1のバイナリカウンタから出力する分周クロック信号および前記第1のスルー回路から出力するクロック信号をセレクト信号に応じて選択して被制御回路へ供給する第1の選択回路と、

前記クロック信号源から入力するクロック信号を分周するクリア信号端子付きのD型フリップフロップ回路が用いられた第2のバイナリカウンタと、

前記クロック信号源から入力するクロック信号を分周することなく通過させるクリア信号端子付きのD型フリップフロップ回路が用いられた第2のスルー回路と、

前記第2のバイナリカウンタから出力する分周クロック信号および前記第2のスルー回路から出力するクロック信号が入力し、常に前記第2のスルー回路から出力するクロック信号を選択して前記被制御回路へ供給する第2の選択回路とを具備することを特徴とするクロック供給回路。

【請求項4】 請求項3記載のクロック供給回路において、

前記第1のバイナリカウンタで使用されるD型フリップ

2

フロップ回路は、前記クロック信号源から入力するクロック信号がクロック入力端子に入力し、クリア信号が前記クリア信号端子に入力し、反転データ出力端子/Qとデータ入力端子Dとが接続されており、

前記第2のバイナリカウンタで使用されるD型フリップフロップ回路は、前記クロック信号源から入力するクロック信号がクロック入力端子に入力し、前記クリア信号端子は“0”レベルに固定され、反転データ出力端子/Qとデータ入力端子Dとが接続されており、

10 前記第1のスルー回路および第2のスルー回路でそれぞれ使用されるD型フリップフロップ回路は、前記クロック信号源から入力するクロック信号がクロック入力端子CPおよびクリア信号端子CDに入力し、データ入力端子Dが“1”レベルに固定されていることを特徴とするクロック供給回路。

【請求項5】 請求項3記載のクロック供給回路において、

前記第1のバイナリカウンタで使用されるD型フリップフロップ回路は、前記クロック信号源から入力するクロック信号がクロック入力端子に入力し、クリア信号が前記クリア信号端子に入力し、反転データ出力端子/Qとデータ入力端子Dとが接続されており、

前記第2のバイナリカウンタで使用されるD型フリップフロップ回路は、前記クロック信号源から入力するクロック信号がクロック入力端子に入力し、前記クリア信号端子は“0”レベルに固定され、反転データ出力端子/Qとデータ入力端子Dとが接続されており、

前記第1のスルー回路および第2のスルー回路でそれぞれ使用されるD型フリップフロップ回路は、前記クロック信号源から入力するクロック信号がクロック入力端子CPに入力し、クリア信号端子CDにクリア信号が入力し、データ入力端子Dが“1”レベルに固定されていることを特徴とするクロック供給回路。

【請求項6】 クロック信号源と、

前記クロック信号源から入力するクロック信号を分周し、被制御回路へ供給する第1の回路と、

前記クロック信号源から入力するクロック信号を前記第1の回路の信号遅延量と同じく遅延させて前記被制御回路へ供給する第2の回路とを具備することを特徴とするクロック供給回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路(IC)内に形成されるクロック供給回路に係り、特に同一クロック信号源からスルーバスを経たクロック信号と分周バスを経た分周クロック信号との間のクロックスキューを改善する回路に関するもので、パワーセーブ回路などに使用される。

【0002】

【従来の技術】ICにおいて消費電力を削減するために

使用されるパワーセーブ回路は、クロック供給回路から動作クロック信号が供給される被制御回路の待機動作モード時には通常動作モードよりも周波数が低いクロック信号を供給するように切換制御する。

【0003】上記クロック供給回路は、同一クロック信号源からのクロック信号に基づいて周波数が異なる複数種類のクロック信号群を選択的に供給するものであり、従来は例えば図8に示すように構成されている。

【0004】図8において、10はクロック信号源、81は上記クロック信号源からのクロック信号Aをそのまま通過させて被制御回路90へ供給するスルーパス、82は上記クロック信号源からのクロック信号Aを例えば2分周するための分周回路である。83は上記分周回路82の出力信号（分周クロック）Bおよび前記クロック信号源10からのクロック信号Aをセレクト信号SELに応じて選択し、選択出力Cを被制御回路90へ供給する選択回路である。

【0005】なお、前記分周回路82は、例えば図9に示すように、CMOS構成のクリア信号（リセット信号）端子CD付きのD型フリップフロップ回路が用いられたバイナリカウンタからなる。

【0006】しかし、上記構成においては、パス（通過経路）が異なる2つのクロック信号の立上がりエッジ間にクロックスキューが生じる。即ち、例えば図10に示すように、セレクト信号SELにより分周クロックBを選択した場合には、分周パスの分周回路82および選択回路83を経て被制御回路90に供給される分周クロックが、スルーパス81から被制御回路90に供給されるクロック信号Aよりも分周回路82および選択回路83による遅延分d1だけ遅延する。

【0007】また、セレクト信号SELによりクロック信号源10からのクロック信号Aを選択した場合には、選択回路83を経て被制御回路90に供給されるクロック信号が、スルーパス81から被制御回路90に供給されるクロック信号Aよりも選択回路83による遅延分d2だけ遅延する。

【0008】上記したようなクロックスキューが生じると、被制御回路90において例えばシフトレジスタにおいてデータの抜けが発生したり、回路動作の速度が低下したり、回路間のインターフェースで誤動作が発生する。

【0009】そこで、上記したようにパスが異なるクロック信号間に生じるクロックスキューを改善するために、従来はスルーパス81にインバータ回路と容量からなる遅延用のダミー回路（図示せず）を挿入しているが、製造プロセスのばらつき、MOSトランジスタの閾値の変動などが存在するので、クロックスキューを十分に防止することは困難である。

【0010】

【発明が解決しようとする課題】上記したように従来の

クロック供給回路は、同一クロック信号源からスルーパスを経たクロック信号と分周パスを経た分周クロック信号との間にクロックスキューが発生するという問題があった。

【0011】本発明は上記の問題点を解決すべくなされたもので、同一クロック信号源からスルーパスを経たクロック信号と分周パスを経た分周クロック信号との間のクロックスキューを大幅に改善し得るクロック供給回路を提供することを目的とする。

【0012】

【課題を解決するための手段】第1の発明のクロック供給回路は、クロック信号源と、上記クロック信号源から入力するクロック信号をD型フリップフロップ回路が用いられたバイナリカウンタからなる分周回路により分周し、被制御回路へ供給する分周パスと、前記クロック信号源から入力するクロック信号を上記分周回路の信号遅延量と等しい信号遅延量を有するダミー回路を通過させて前記被制御回路へ供給するスルーパスとを具備することを特徴とする。

【0013】第2の発明のクロック供給回路は、クロック信号源から入力するクロック信号を分周するD型フリップフロップ回路が用いられたバイナリカウンタからなる分周回路と、上記分周回路の信号遅延量と等しい信号遅延量を有し、前記クロック信号源から入力するクロック信号を通過させる第1のダミー回路と、前記分周回路からの分周クロック信号および上記第1のダミー回路からのクロック信号をセレクト信号に応じて選択して被制御回路へ供給する選択回路と、前記クロック信号源から選択回路出力側までの信号遅延量と等しい信号遅延量を有し、前記クロック信号源から入力するクロック信号を分周することなく通過させる第2のダミー回路とを具備することを特徴とする。

【0014】第3の発明のクロック供給回路は、クロック信号源と、上記クロック信号源から入力するクロック信号を分周するクリア信号端子付きのD型フリップフロップ回路が用いられた第1のバイナリカウンタと、前記クロック信号源から入力するクロック信号を通過させるクリア信号端子付きのD型フリップフロップ回路が用いられた第1のスルー回路と、上記第1のバイナリカウンタから出力する分周クロック信号および上記第1のスルー回路から出力するクロック信号をセレクト信号に応じて選択して被制御回路へ供給する第1の選択回路と、前記クロック信号源から入力するクロック信号を分周するクリア信号端子付きのD型フリップフロップ回路が用いられた第2のバイナリカウンタと、前記クロック信号源から入力するクロック信号を分周することなく通過させるクリア信号端子付きのD型フリップフロップ回路が用いられた第2のスルー回路と、上記第2のバイナリカウンタから出力する分周クロック信号および上記第2のスルー回路から出力するクロック信号が入力し、常に上記

第2のスルー回路から出力するクロック信号を選択して前記被制御回路へ供給する第2の選択回路とを具備することを特徴とする。

【0015】

【実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1(a)は、第1の発明のクロック供給回路の実施の形態を示しており、その一動作例を図1(b)に示している。

【0016】図1(a)に示すクロック供給回路は、クロック信号源10と、上記クロック信号源から入力するクロック信号AiをD型フリップフロップ回路が用いられたバイナリカウンタからなる分周回路(例えば2分周回路)11により分周した分周クロック信号Boを被制御回路90へ供給する分周パス11aと、前記クロック信号源10から入力するクロック信号を分周することなく、上記分周回路11の信号遅延量d1と等しい信号遅延量d1を有するダミー回路(上記分周回路と同様のD型フリップフロップ回路からなる)12を通過させたスルーパスクロック信号Aoを前記被制御回路90へ供給するスルーパス12aとを具備する。

【0017】上記構成のクロック供給回路においては、図1(b)に示すように、同一クロック信号源10からそれぞれ対応して分周パス11aおよびスルーパス12aを経た2つのクロック信号Bo、Aoを被制御回路90へ供給するように動作する。この際、分周パス11a中の分周回路11と同様の信号遅延量d1と等しい信号遅延量d1を有するダミー回路(分周回路11と同様の回路からなる)12をスルーパス12a中に挿入している。

【0018】これにより、同一クロック信号源10から分周パス11aを経た分周クロック信号Boとスルーパス12aを経たスルーパスクロック信号Aoとの間のクロックスキューを大幅に改善することが可能になる。

【0019】図2(a)は、第2の発明のクロック供給回路の実施の形態を示しており、その一動作例を図2(b)に示している。図2(a)に示すクロック供給回路は、クロック信号源から入力するクロック信号Aiを分周するD型フリップフロップ回路が用いられたバイナリカウンタからなる分周回路(例えば2分周回路)11と、上記分周回路11の信号遅延量と等しい信号遅延量を有し、前記クロック信号入力Aiを分周することなく通過させる第1のダミー回路(上記分周回路11と同様のD型フリップフロップ回路からなる)21と、前記分周回路11からの分周クロック信号および上記第1のダミー回路21からのクロック信号をセレクト信号SELに応じて選択し、選択出力Coを被制御回路90へ供給する選択回路22と、前記クロック信号源から第1の選択回路22の出力側までの信号遅延量と等しい信号遅延量を有し、前記クロック信号入力Aiを分周することなく通過させたスルーパスクロック信号Aoを被制御回路

90へ供給する第2のダミー回路23と、前記クロック信号源から第1の選択回路22の出力側までの信号遅延量と等しい信号遅延量を有し、前記クロック信号源から入力する分周クロック信号Biを分周することなく通過させたスルーパス分周クロック信号Boを被制御回路90へ供給する第2のダミー回路24とを具備する。

【0020】上記第2のダミー回路23および24は、それぞれ前記分周回路11と同様のクリア信号端子CD付きのD型フリップフロップ回路であってクリア信号端子CDが接地されたものと、前記第1のダミー回路21と同様のD型フリップフロップ回路と、前記選択回路22と同様の選択回路からなる。

【0021】上記した図2の構成のクロック供給回路においては、図2(b)に示すように、同一クロック信号源からそれぞれ対応して第1～第3のパスを経た3つのクロック信号を被制御回路90へ供給するように動作する。この際、選択回路22を有する第1のパスには、分周回路11を有するパスに対して分岐された別のパスに分周回路の信号遅延量と等しい信号遅延量を有する第1のダミー回路21を挿入し、第2のパス、第3のパスには、それぞれクロック信号源から選択回路22出力側までの第1のパスにおける信号遅延量と等しい信号遅延量を有する第2のダミー回路23、24を挿入している。

【0022】これにより、同一クロック信号源から別々のパスを経た3つのクロック信号間のクロックスキューを大幅に改善することが可能になる。図3(a)は、第3の発明のクロック供給回路の実施の形態を示しており、その一動作例を図3(b)に示している。

【0023】図3(a)に示すクロック供給回路は、クロック信号源10と、上記クロック信号源から入力するクロック信号Aiを分周するクリア信号端子付きのD型フリップフロップ回路が用いられた第1のバイナリカウンタ31と、前記クロック信号源から入力するクロック信号Aiを分周することなく通過させるクリア信号端子付きのD型フリップフロップ回路が用いられた第1のスルー回路32と、上記第1のバイナリカウンタ31から出力する分周クロック信号Bおよび上記第1のスルー回路32から出力するクロック信号Aをセレクト信号SELに応じて選択し、選択出力Coを被制御回路90へ供給する第1の選択回路33と、前記クロック信号源から入力するクロック信号Aiを分周するクリア信号端子付きのD型フリップフロップ回路が用いられた第2のバイナリカウンタ34と、前記クロック信号源から入力するクロック信号Aiを分周することなく通過させるクリア信号端子付きのD型フリップフロップ回路が用いられた第2のスルー回路35と、上記第2のバイナリカウンタ34から出力する分周クロック信号Bおよび上記第2のスルー回路35から出力するクロック信号Aが入力し、常に上記第2のスルー回路から出力するクロック信号Aを選択(固定的に選択)し、選択出力Aoを前記被制御回路

へ供給する第2の選択回路36とを具備する。

【0024】前記第1のバイナリカウンタ31で使用されるD型フリップフロップ回路は、前記クロック信号源10から入力するクロック信号がクロック入力端子CPに入力し、クリア信号がクリア信号端子CDに入力し、反転データ出力端子/Q (/QはQの相補信号である。以下同じ。)とデータ入力端子Dとが接続されている。

【0025】前記第2のバイナリカウンタ34で使用されるD型フリップフロップ回路は、前記クロック信号源10から入力するクロック信号がクロック入力端子CPに入力し、クリア信号端子CDは“0”レベル(接地電位Vss)に固定され、反転データ出力端子/Qとデータ入力端子Dとが接続されている。

【0026】また、前記第1のスルー回路32および第2のスルー回路35でそれぞれ使用されるD型フリップフロップ回路は、前記クロック信号源10から入力するクロック信号がクロック入力端子CPおよびクリア信号端子CDに入力し、データ入力端子Dが“1”レベル(電源電位Vcc)に固定されている。

【0027】図3の構成のクロック供給回路においても、図3(b)に示すように、同一クロック信号源からそれぞれ対応して第1のパスおよび第2のパスを経た2つのクロック信号を被制御回路へ供給するように動作する。この際、第1の選択回路33を有する第1のパスには、第1のバイナリカウンタ31を有するパスに対して分岐された別のパスに第1のバイナリカウンタ31の信号遅延量と等しい信号遅延量を有する第1のスルー回路32を挿入し、第2の選択回路36を有する第2のパスには、第2のバイナリカウンタ34を有するパスに対して分岐された別のパスに第2のバイナリカウンタ34の信号遅延量と等しい信号遅延量を有する第2のスルー回路35を挿入している。

【0028】これにより、同一クロック信号源から第1のパスを経たクロック信号と第2のパスを経た分周クロック信号との間のクロックスキューを大幅に改善することが可能になる。

【0029】図4は、図3に示したクロック供給回路の一変形例を示している。図4に示すクロック供給回路は、図3に示したクロック供給回路と比べて、前記第1のスルー回路32および第2のスルー回路35でそれぞれ使用されるD型フリップフロップ回路のクリア信号端子CDの入力が、クロック信号からクリア信号に変更されている点が異なり、その他は同じであるので図3中と同一符号を付している。

【0030】図5は、図4中のスルーパス用のD型フリップフロップ回路の一例を示す。図5に示すD型フリップフロップ回路において、Dはデータ入力端子、CPはクロック入力端子、CDはクリア信号端子、Qはデータ出力端子、/Qは反転データ出力端子である。

【0031】上記クロック入力端子CPに入力するクロ

ック信号は二段のインバータ回路51、52に入力することにより相補的なクロックパルスφ、/φが生成される。前記データ入力端子Dに入力するデータ信号は、クロックパルスφにより制御されるクロックドインバータ回路53を経て第1のインバータ回路54に入力する。この第1のインバータ回路54の出力は、それぞれクロックパルスφにより制御される二入力の第1のクロックドナンドゲート55の第1の入力端および二入力の第2のクロックドナンドゲート56の第1の入力端に入力する。そして、上記第1のクロックドナンドゲート55の第2の入力端および第2のクロックドナンドゲート56の第2の入力端には、前記クリア信号端子CDに入力するクリア信号が入力する。上記第1のクロックドナンドゲート55の出力端は前記第1のインバータ回路54の入力端に帰還接続されており、上記第1のインバータ回路54および第1のクロックドナンドゲート55は第1のラッチ回路を形成している。

【0032】さらに、前記第2のクロックドナンドゲート56の出力は、第2のインバータ回路57を経てデータ出力端子Qに出力するとともに第3のインバータ回路58および第4のインバータ回路59を経て反転データ出力端子/Qに出力する。そして、上記第3のインバータ回路58の出力はクロックパルスφにより制御される二入力の第3のクロックドナンドゲート60の第1の入力端に入力し、上記第3のクロックドナンドゲート60の第2の入力端には接地電位Vssが印加されている。上記第2のインバータ回路57および第3のクロックドナンドゲート60は第2のラッチ回路を形成している。

【0033】図6は、図5のD型フリップフロップ回路の一動作例を示すタイミング波形図である。即ち、図5に示すようにD型フリップフロップ回路のクロック入力端子CPとクリア信号端子CDとが分離されていると、図6に示すように、データ入力端子Dに“1”レベルが印加されている状態ではクロック入力端子CPのクロック入力毎に出力が反転する動作(T型フリップフロップ回路と同様の動作)が得られる。

【0034】図4の構成のクロック供給回路においても、前述したような図3に示したクロック供給回路の動作と基本的には同様の動作が行われるが、さらに、D型フリップフロップ回路をクロック信号に関係なくクリア信号により任意にリセットすることが可能になるので、各パスの信号の初期レベルを簡単に揃えることが可能になる。

【0035】図7は、本発明における分周回路部分およびそれに対応するスルーパス回路部分の一変形例として、クリア信号端子CD付きのD型フリップフロップ回路70が例えば3段接続されてなる8分周回路およびそれに対応する信号遅延量を有するダミー回路を示している。なお、図7は、この変形例を例えば図2(a)中の分周回路11、ダミー回路21に適用した例を示してい

る。

【0036】

【発明の効果】 上述したように本発明によれば、同一クロック信号源からスルーパスを経たクロック信号と分周パスを経た分周クロック信号との間のクロックスキューを大幅に改善し得るクロック供給回路を提供することができる。

【図面の簡単な説明】

【図1】 第1の発明のクロック供給回路の実施の形態を示す回路図および一動作例を示すタイミング図。

【図2】 第2の発明のクロック供給回路の実施の形態を示す回路図および一動作例を示すタイミング図。

【図3】 第3の発明のクロック供給回路の実施の形態を示す回路図および一動作例を示すタイミング図。

【図4】 図3のクロック供給回路の一変形例を示す回路図。

【図5】 図4中のスルーパス用のD型フリップフロップ回路の一例を示す回路図。

【図6】 図5のD型フリップフロップ回路の一動作例を示すタイミング波形図。

【図7】 本発明における分周回路部分およびそれに対応するスルーパス回路部分の一変形例を示す回路図。

【図8】 従来のクロック供給回路の一例を示す回路図。

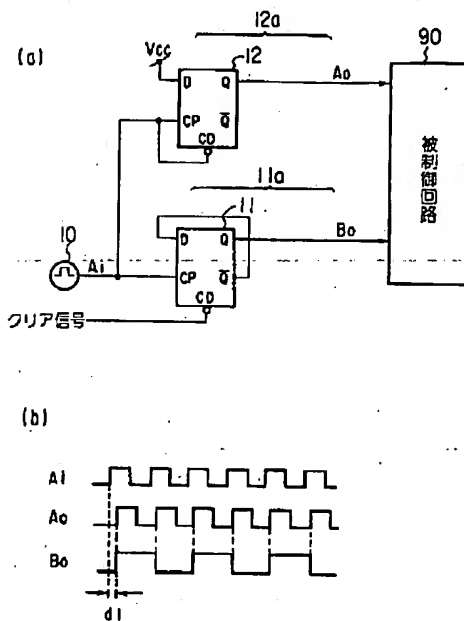
【図9】 図8中の分周パス用のD型フリップフロップ回路の一例を示す回路図。

【図10】 図9のD型フリップフロップ回路の一動作例を示すタイミング波形図。

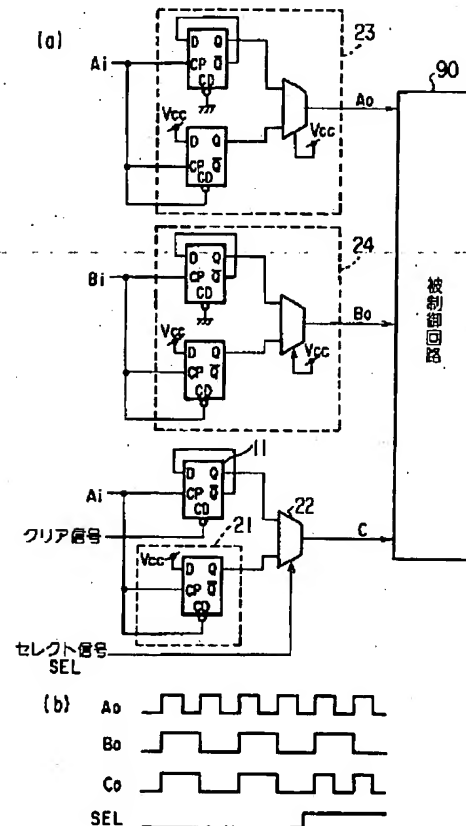
【符号の説明】

- 10…クロック信号源、
- 11…分周回路、
- 11a…分周パス、
- 12…ダミー回路、
- 12a…スルーパス、
- 21…第1のダミー回路、
- 22…選択回路、
- 23、24…第2のダミー回路、
- 31…第1のバイナリカウンタ、
- 32…第1のスルー回路、
- 33…第1の選択回路、
- 34…第2のバイナリカウンタ、
- 35…第2のスルー回路、
- 36…第2の選択回路、
- 90…被制御回路。

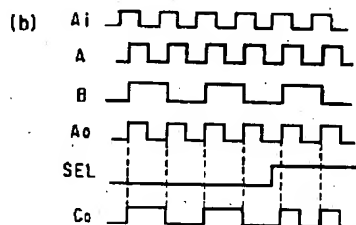
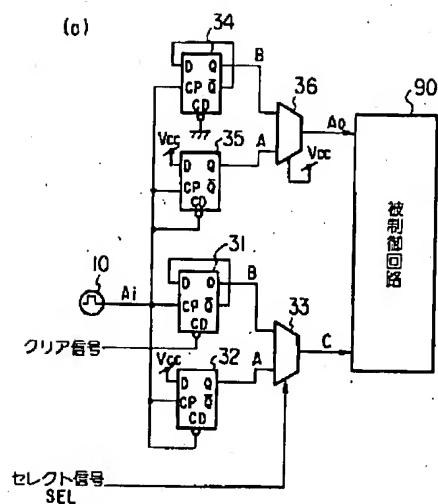
【図1】



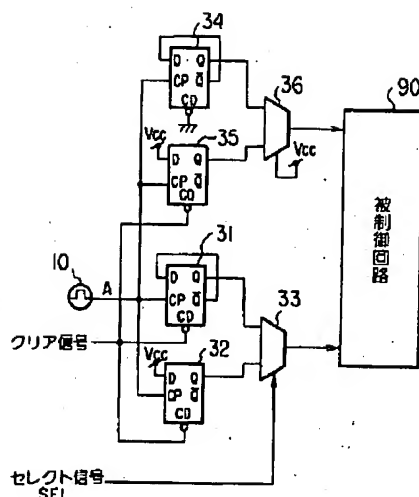
【図2】



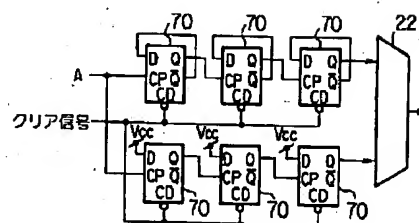
【図3】



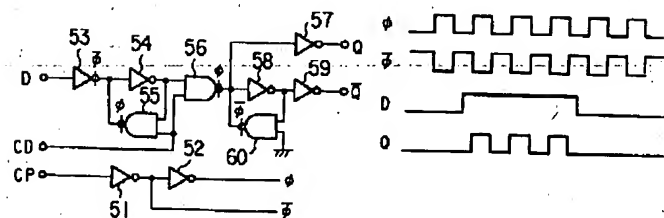
【図4】



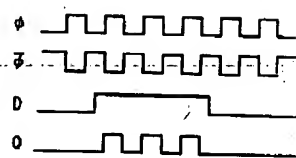
【図7】



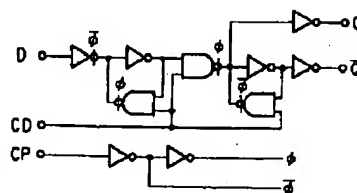
【図5】



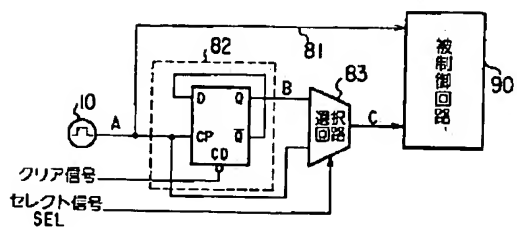
【図6】



【図9】



【図8】



(8)

特開平9-46189

【図10】

